

附件 4

“光电子与微电子器件及集成”重点专项 2019 年度项目申报指南建议

(征求意见稿)

国家重点研发计划启动实施“光电子与微电子器件及集成”重点专项的总体目标是：发展信息传输、处理与感知的光电子与微电子集成芯片、器件与模块技术，构建全链条光电子与微电子器件研发体系，推动信息领域中的核心芯片与器件研发取得重大突破，改变我国网络信息领域中的核心元器件受制于人的被动局面，支撑通信网络、高性能计算、物联网等应用领域的自主可控发展，满足国家发展战略需求。

本重点专项按照核心光电子芯片、光电子芯片共性支撑技术、集成电路与系统芯片、集成电路设计方法学和器件工艺技术 5 个创新链（技术方向）进行部署，专项实施周期为 5 年（2018—2022 年）。

各研究任务要求以项目为单元整体组织申报，项目须覆盖所申报指南方向二级标题下的所有研究内容并实现对应的研究目标。

1. 核心光电子芯片

1.1 多相位调制格式的光电集成芯片和模块（共性关键技术类）

研究内容：聚焦多相位调制格式的光电集成芯片和模块，研究硅光相干光芯片的设计和工艺，实现调制器，ICR 等单元功能的单片集成；研究相干光模块的小型化封装技术，实现硅光芯片的高频封装；研究面向相干光模块小型化的需求，

实现 DSP、硅光相干收发芯片、driver、TIA 的共基板高密度集成，支持 BGA 封装和非气密封装，能分别集成进 CFP2 和 QSFP-DD 尺寸标准的光模块内。

考核指标：可支持波特率 ≥ 64 Gbaud,发光功率 ≥ -4 dBm,工作波段覆盖 C 波段，工作温度范围 $-40\sim 85$ 度，B2B 极限 OSNR : 10.5dB@100Gb/s QPSK,13dB@200Gb/s QPSK, 16dB@200Gb/s 16QAM, 21dB@400Gb/s DCI ,24dB@400Gb/s ZR。具备批量生产能力，实现批量推广应用和销售，申请发明专利 30 项以上。

1.2 面向骨干网相干传输的关键芯片、模块和系统验证(共性关键技术类)

研究内容：聚焦骨干网相干传输的关键芯片、模块和系统验证，研究骨干网相干传输系统用的国产化芯片、模块和系统；研究高可靠性、高成品率的高阶调制发射芯片和相干接收芯片；开发出符合商业标准的 100Gb/s 净数据率的收发模块；研究相干光芯片和器件的 C+L 波段传输特性；完成骨干网长距离传输的验证和应用，实现国产芯片的产品化，在运营商设备中得到应用。

考核指标：调制器、探测器工作波特率为 28GBaud/s 以上,单波长传输的净数据率为 100Gb/s,传输距离不低于 1000 公里，单段跨距不低于 80 公里，满足 C+L 波段传输。在运营商的波分复用系统中进行现场演示验证,波长间隔 ≤ 50 GHz。研制的国产化核心光芯片，具备批量生产能力，实现批量推广应用和销售；掌握核心关键技术，申请发明专利 30 项以上。

1.3 Pb/s 级大容量光交换光电子集成芯片与模块(共性关

键技术类)

研究内容：聚焦大容量光交换光电子集成芯片与模块，研究大阵列高速低功耗超大容量光交换芯片关键技术，包括高性能光开关单元光学结构和低功耗驱动结构设计；研究大阵列高速低功耗波长路由芯片关键技术，实现大规模高速波长可切换激光器阵列和高速调制器阵列技术及大阵列波长路由器集成芯片设计与制备方法；研究大阵列可重构光分插复用器芯片关键技术，包括光集成平台的分光与光路切换技术和大端口数的集成波长选择性光开关器件关键技术；研究大阵列光交换芯片光学与电学封装关键技术，解决光子器件高密度集成时热串扰问题，提高芯片热稳定性；研究大阵列光交换芯片驱动控制与系统验证关键技术，研制控制逻辑驱动数模转换器，实现多路模拟输出电源电路技术。

考核指标：研制出大阵列高速低功耗超大容量光交换芯片、大阵列高速低功耗波长路由芯片、大阵列可重构光分插复用器芯片三款芯片，完成光交换模块的系统传输测试， $\geq 1\text{Pb/s}$ 、单通道(波长)传输速率 $\geq 400\text{Gb/s}$ 、端口数量 $\geq 32 \times 32$ 、切换时间 $\leq 1\text{ms}$ 、串扰 $\leq -30\text{dB}$ ；具备批量生产能力，实现批量推广应用，申请发明专利 30 项以上。

1.4 多层交叉结构的光子集成芯片（基础前沿类）

研究内容：聚焦基于硅基多维度交叉结构的光子集成芯片，研究硅基层内和层间交叉结构及其三维集成技术，包括任意层间实现高效低串扰波导耦合的方法；研究层内可快速重构光交叉连接器、超小尺寸层内和层间光交叉连接器、以及任意层间可快速重构三维光交叉连接器等核心单元器件技术；研制 CMOS 兼容的硅基多层三维集成芯片及其工艺技

术、三维多层光子芯片的高效快速测试方法。

考核指标：每层包含 $\geq 4 \times 4$ 光交叉连接阵列，任意两层间可实现可重构光互连，从而构成规模 $\geq 4 \times 4 \times 3$ 的三维可重构光交叉阵列。交叉连接重构时间 ≤ 10 纳秒，层内波导损耗 $\leq 1\text{dB/cm}$ ，层内光交叉连接插损 $\leq 3\text{dB}$ ，层间耦合结构尺寸 $\leq 10\mu\text{m} \times 10\mu\text{m}$ ，层间耦合效率 $\geq 80\%$ ，层间三维光交叉连接插损 $\leq 4\text{dB}$ ，层间波导串扰 $\leq -50\text{dB}$ 。实现典型场景的应用演示，申请发明专利20项以上，发表论文80篇以上。

组织方式：公开发布，拟支持1个项目。

1.5 硅基可编程重构全光信号处理芯片（基础前沿类）

研究内容：聚焦可编程宽带全光处理集成芯片，突破超低损耗、超高密度、大规模硅基光子信号处理芯片的关键技术，制备CMOS工艺兼容的硅基可编程重构光子信号处理芯片，实现多功能可重构滤波器、各类非线性信号处理器件（逻辑运算、再生等），并在此基础上实现硅基多通道全光混叠集成器件，实现整个芯片的电学、光学封装，完成驱动电路和控制芯片以及可编程控制软件，进行系统应用实验，从而支撑高速多功能信号处理的发展。

考核指标：研制出波导损耗 $\leq 0.6\text{dB/cm}$ ，Q值 $\geq 1 \times 10^5$ 、低插入损耗可调滤波器；研制出可编程重构信号处理芯片，带宽可调范围 $\geq 100\text{MHz}-40\text{GHz}$ ；FSR可调范围 $\geq 10\text{GHz}-200\text{GHz}$ ；研制出单通道100Gb/s硅基可编程光子逻辑阵列器件和高维度多值逻辑运算器件；实现高阶调制格式的信号再生，非线性转换效率不低于 -15dB ；实现可编程重构全光信号处理芯片复杂逻辑功能和多维运算灵活拓展；实现不少于8个通道的电学、光学封装，完成外部驱动电路和

控制芯片，具有软件可编程功能并实现系统验证。实现典型场景的应用演示，申请发明专利 20 项以上，发表论文 80 篇以上。

1.6 大容量光传输 CDCG-ROADM 系统关键光芯片与模块（共性关键技术类）

研究内容：聚焦大容量光传输 CDCG-ROADM 系统的发展需求，研究开发液晶核心芯片理论设计和制作工艺、超精细可变带宽光交换传输控制算法、大像元阵列液晶芯片控制电路、多维超光谱子带光学系统设计及优化、大尺寸光电器件的低成本气密性封装；研制面向城域网及以下光网络系统应用的波长选择开关器件；研制面向骨干网及其它专门网络应用的波长选择开关器件。

考核指标：

应用于城域网及以下光网络系统的波长选择开关器件的端口数为 1×20 、插入损耗 $\leq 9\text{dB}$ 、带宽可调步进 12.5GHz 的；应用于骨干网及其它专门网络的波长选择开关器件的端口数为 $2 \times 1 \times 20$ 、插入损耗 $\leq 12\text{dB}$ 、带宽可调步进 6.25GHz ；上述两种器件实现 CDCG-ROADM 系统演示和测试验证，通过客户测试验证。申请发明专利 30 项以上。

1.7 面向单通道 50Gb PON 核心光芯片和电芯片（共性关键技术类）

研究内容：聚焦 50G 光接入应用的核心光芯片和电芯片，研究高速 EML 芯片的材料生长技术，大功率 EML 芯片的设计和工艺实现方法；研究高速 DML 芯片的设计和工艺；研究高速 APD 芯片的设计和工艺实现方法；高速 EML 和 APD 芯片的长期可靠性研究；针对 PON 上行应用，研究超高速

突发模式光收发电芯片, 50Gb/s 突发快速响应跨阻放大器(TIA)芯片的电路设计与实现方法, 50Gb/s 突发快速响应限幅放大器(LA)芯片的电路设计与实现方法, 50Gb/s 突发快速响应时钟数据恢复(CDR)芯片的电路设计与实现方法; 研究超高速突发模式 DML 激光驱动器技术, 50Gb/s 突发快速响应 DML 激光驱动器芯片的电路设计与实现方法。

考核指标: 50G EML 3dB 带宽 $\geq 38\text{GHz}$, 调制发射功率不低于 6dBm; 50G APD 3dB 带宽不低于 35GHz, 接收灵敏度至少 -20dBm@1E-3; 50G DML 3dB 带宽 $\geq 38\text{GHz}$, 调制发射功率不低于 6dBm, ER 不低于 4dB, 工作波长支持 O 波段。50Gb/s 突发 TIA 的响应时间 $\leq 200\text{ns}$, 小信号电带宽(3dB) $\geq 35\text{GHz}$ @ APD 电容=22fF; 50Gb/s 突发 LA 芯片的响应时间 $\leq 200\text{ns}$, 输出数据幅度典型值为 400mVpp, 接收灵敏度 $\leq 40\text{mVpp}$; 50Gb/s 突发 CDR 芯片的锁定时间 $\leq 200\text{ns}$, 恢复数据抖动典型值为 8ps-pp, 输出数据幅度典型值为 400mVpp; 50Gb/s 突发 DML 激光驱动器芯片的突发响应时间典型值为 15ns, 调制电流典型值为 80mA, 偏置电流典型值为 100mA。具备批量生产能力, 实现批量推广应用, 申请发明专利 30 项以上。

1.8 基于高线性 DFB 和 PAM4 调制的 100G 光芯片与模块 (共性关键技术类)

研究内容: 聚焦基于 PAM4 调制格式光通信应用的光电子集成芯片与模块, 研究高线性 DFB 激光器及其高速调制性能, 研究高灵敏度高速探测器, 支持 112Gb/s 多电平 PAM4 调制; 研究低成本 112Gb/s 光模块技术, 研究高速信号处理均衡算法, 补偿低带宽光器件引起的光传输性能损失, 实现

基于低成本串行 112Gb/s 光模块的 10km 点对点光纤传输，并且无需色散补偿模块；开展该类光芯片与模块的可靠性研究。

考核指标：研制出串行 112Gb/s PAM4 光口 QSFP 封装光模块（10km），功耗 $\leq 3.5\text{W}$ ，波长 1310nm，平均发送功率 $\geq -1.4\text{dBm}$ ，接收灵敏度（OMA_{outer}） $\leq -6.1\text{dBm}@1\text{E}-3$ 。完成高线性 DFB 发送光芯片研制，3dB 带宽 $\geq 20\text{GHz}$ ，波长 1310nm，ER 不低于 3.5dB；完成高速探测器芯片研制，3dB 带宽 $\geq 20\text{GHz}$ 。完成 112Gb/s PAM4 信号在 DFB 激光器调制的预均衡和接收信号高性能均衡处理芯片，支持 FEC（前向纠错编码），纠前误码率 $\geq 1\text{E}-3$ 。具备批量生产能力，实现批量推广应用，申请发明专利 30 项以上。

1.9 CMOS 工艺兼容的光互连集成芯片技术（基础前沿类）

研究内容：聚焦数据中心和超级计算机应用，掌握高密度、低功耗和大容量的 CMOS 工艺兼容硅基光互连芯片关键技术。研究硅基片上激光器集成阵列；研究高速率、低偏压、低插损硅基电光调制器阵列；研究硅基高速高灵敏光电探测器阵列；研究可动态分配带宽的高密度复用器件。

考核指标：实现 CMOS 工艺兼容的单片集成硅基光收发集成芯片，通道数 ≥ 40 ，单通道速率 $\geq 28\text{Gb/s}$ ，总数据速率达到 Tb/s 以上；芯片尺寸 $\leq 60\text{mm}\times 60\text{mm}$ ，容量密度 $\geq 25\text{Gbps/cm}^2$ ，芯片功耗 $\leq 5\text{mW/Gbps}$ 。完成高速高密封装，实验验证 40 通道的收发并测试误码率，实现典型场景的应用演示，申请发明专利 20 项以上，发表论文 80 篇以上。

1.10 面向数据中心的光互连芯片、模块和系统应用（共

性关键技术类)

研究内容：聚焦数据中心高速光互连应用的核心光电子芯片，研究光互连用 400Gb/s 并行光收发器件用高功率激光器芯片、高速激光器芯片、高速调制器芯片及高速光探测器芯片；研究高性价比的光收发器件封装技术；研究光模块高速电互连技术，开发 400Gb/s 并行光收发模块；研究 400Gb/s 并行光收发模块在数据中心光互连中的应用技术；研究高集成度单波 400Gb/s 相干光芯片技术；研究小尺寸低功耗单波 400Gb/s 集成相干收发光组件和光模块技术，支持 ZR；完成上述模块在数据中心中的验证和应用。

考核指标：针对 400Gb/s 中距并行模块：调制器芯片带宽 ≥ 45 GHz、消光比 ≥ 3.5 dB；探测器芯片带宽 ≥ 45 GHz；激光器芯片出光功率 ≥ 70 mW，收端灵敏度 ≤ -5 dBm@BER 2E-4；收发模块单通道输出功率 ≥ -2 dBm，模块消光比 ≥ 3.5 dB。传输总速率达到 400Gb/s，总功耗 ≤ 12 W；完成系统功能演示，传输距离 ≥ 500 m。针对 400Gb/s 短距并行模块：芯片速率满足 56Gb/s，工作波长 840~860nm，阈值电流 ≤ 1.5 mA；探测器芯片接收波长 830~870nm，探测器带宽 ≥ 20 GHz,暗电流 ≤ 0.1 nA，响应度 ≥ 0.5 A/W，收端灵敏度 ≤ -7 dBm@BER 2E-4；实现多通道集成化光收发模块，传输总速率达到 400Gb/s，总功耗 ≤ 10 W；完成系统功能演示，传输距离 ≥ 100 m。相干光芯片收发带宽 ≥ 40 GHz；相干收发光组件单波调制解调速率 ≥ 400 Gb/s；封装形式为符合 MSA 标准的可插拔模块，ZR 调制格式，模块单波速率 ≥ 400 Gb/s，传输距离 ≥ 80 km。具备批量生产能力，实现演示和推广应用，申请发明专利 30 项以上。

1.11 5G 前传系统中的关键芯片、模块及系统验证（共性关键技术类）

研究内容：聚焦 5G 前传系统中的关键芯片和模块，研究扩展工业级的高速调制激光器集成芯片与光探测器设计、制备与可靠性评价技术；研制 25Gb/s 扩展工业级光收发模块。研究 5G 前传扩容场景下的支持单纤双向传输的工业级复用器/解复用器（阵列波导光栅）芯片设计、器件制备与可靠性评价技术；研制工业级的 25Gb/s 波长可调光收发模块。

考核指标：实现工作温度满足 $-40\sim+90^{\circ}\text{C}$ 范围的高速调制激光器集成芯片与光探测器芯片，实现光收发模块满足传输速率 $\geq 25\text{Gb/s}$ ，传输链路损耗 $\geq 4\text{ dB}$ ($\text{BER} \leq 5 \times 10^{-5}$)。实现工作温度满足 $-40\sim+85^{\circ}\text{C}$ 范围的 Cyclic 的复用器/解复用器（阵列波导光栅）芯片，波长格点符合 G.metro 标准，无热模块的波长精度在 $\pm 50\text{pm}$ 以内，平顶型插损 $\leq 6.0\text{dB}$ ，相邻串扰 $\leq -25\text{dB}$ 。实现工业级 25Gb/s 波长可调光收发模块，波长可调范围覆盖 G.metro 标准波长（20 波）。完成相关器件模块在典型 5G 场景下的应用演示，具备批量生产能力，实现推广应用，申请发明专利 30 项以上。

1.12 空间光通信光电子集成芯片与模块(共性关键技术类)

研究内容：聚焦空间成像、光谱探测与导航定位系统对光电子集成芯片与模块的需求，研究半导体激光器的线宽压窄技术、稳频技术和可调谐技术，高灵敏度平衡探测器的噪声抑制技术、抗辐照光放大器的高增益技术等。研制集成化窄线宽高稳频半导体激光器及光发射组件，集成化窄线宽可调谐半导体激光器及光发射组件，集成化窄线宽高速率半导

体激光器及光发射组件，抗辐照集成化光放大器，集成化平衡光探测器。

考核指标：集成化窄线宽高稳频半导体激光器及光发射组件：波长 1550nm/1064nm，线宽 $\leq 10\text{kHz}$ 、频率稳定度 $\leq 10^{-8}$ （阿伦方差）；集成化窄线宽可调谐半导体激光器及光发射组件：波长 1550nm/1064nm，线宽 $\leq 100\text{kHz}$ 、调谐范围 $\geq 20\text{GHz}$ ；集成化窄线宽高速率半导体激光器及光发射组件：波长 1550nm/1064nm，线宽 $\leq 300\text{kHz}$ 、调制速率 $\geq 20\text{Gb/s}$ 。集成化光放大器：波长 1550nm/1064nm，增益倍数 $\geq 37\text{dB}$ 、输出功率 $\geq 5\text{W}$ 、功率降低 $\leq 3\% @ 100\text{krad}$ 辐照剂量；集成化平衡光探测器：波长 1550nm/1064nm，速率 $\geq 20\text{Gb/s}$ 、灵敏度优于 $-43\text{dBm} @ 10\text{Gb/s}$ 、光敏面直径 $\geq 50\mu\text{m}$ 。完成相关器件与组件在典型空间光通信场景下的应用演示，具备批量生产能力，实现推广应用，申请发明专利 30 项以上。

1.13 大动态宽带模拟光通信模块(共性关键技术类)

研究内容：聚焦大动态宽带模拟光传输系统对核心光电子芯片与模块的需求，研究用于高稳定本征源的低相噪集成光电振荡器芯片；研究高平坦度的集成光频梳芯片；研究高速并行集成模拟信号光电收发模块；研究用于射频信号光纤远距离稳相传输的光电收发模块；研究用于光网络稳时传输的光电收发模块，光电收发模块能够支持高精度时间信号的光纤传递。

考核指标：实现低相噪集成光电振荡器芯片，相噪 $\leq -140\text{dBc/Hz} @ 10\text{kHz}$ 、输出频率 $\geq 20\text{GHz}$ 、输出功率 $\geq 1\text{dBm}$ ；实现高平坦度集成光频梳芯片，工作波长范围 1525-1565nm、频率梳齿数目 ≥ 20 根、梳齿间幅度平坦度 $\leq \pm 1.5\text{dB}$ ；实现高速

并行集成模拟信号光电收发模块，波长范围 1.3 μm 波段或者 1.5 μm 波段、通道数为 8、通道间隔 100 GHz、工作带宽 $\geq 12\text{GHz}$ 、饱和功率 $\geq 5\text{dBm}$ 、无杂散动态范围 $\geq 105\text{dB}\cdot\text{Hz}^{2/3}$ ；实现射频信号光纤稳相传输光电收发模块，传输距离 $\geq 50\text{km}$ 、频率稳定度 $10^{-19}/\text{天}$ ；实现光网络稳时传输的光电收发模块，传输距离 $\geq 50\text{km}$ ，时间稳定度 50ps；实现典型场景的应用演示，申请发明专利 30 项以上。

1.14 宽带微波光子信号调控核心器件与技术(共性关键技术类)

研究内容：聚焦模拟光通信系统对核心光电子芯片的需求，突破宽带微波光子信号调控技术，研制同时具备数字和模拟域调控功能控芯片，宽带光子混频芯片，宽带射频光子对消芯片；研制 1×8 和 32×32 光开关阵列，光学空间模式控制芯片，多信道采集芯片与模块，以及多节点采集网络系统；研制宽带信号光域调控与采样系统。

考核指标：同时具备数字和模拟域调控的功能调控芯片，频率范围达到 25GHz、时间带宽积达到 200、适用不低于 6 种动态信号；宽带光子混频芯片，工作频率 DC-60GHz，转换效率 $\geq -10\text{dB}$ ，杂散抑制比 $\geq 40\text{dB}$ ，无杂散动态范围 $\geq 115\text{dB}\cdot\text{Hz}^{2/3}$ ；宽带射频光子对消芯片，工作频段 5~40GHz，对消带宽 $\geq 1\text{GHz}$ ，对消抑制比 $\geq 50\text{dB}$ ； 1×8 光开关阵列，消光比 $\geq 20\text{dB}$ 、插入损耗 $\leq 10\text{dB}$ 、开关时间 $\leq 10\mu\text{s}$ ； 32×32 光开关阵列，插入损耗 $\leq 15\text{dB}$ 、消光比 $\geq 20\text{dB}$ 、开关时间 $\leq 100\mu\text{s}$ ；光学空间模式控制芯片，可分辨点数 ≥ 100 ，光谱分辨 $\leq 0.5\text{nm}$ ，空间模式转换速度 $\leq 1\mu\text{s}$ ；多信道采集芯片与模块，工作频段 DC-20GHz，信道数目 ≥ 8 ；多节点采集网络系统，网络节点

数目 ≥ 8 ，网络中所有节点信道数之和 ≥ 20 ，网络覆盖范围 $\geq 20\text{km}$ ；宽带信号光域调控与采样系统，频段范围 $2\sim 40\text{GHz}$ ，边带抑制比 $\geq 30\text{dB}$ ，数据压缩比 $\leq 10\%$ ，带宽压缩比 $\leq 10\%$ ，可处理数据量 $\geq 1\text{Tbit}$ ，采样带宽 $\geq 2\text{GHz}$ ；上述芯片实现典型应用场景的演示验证，申请发明专利 30 项以上。

2. 光电子芯片共性支撑技术

2.1 面向多波段探测的混合光子集成芯片与器件(共性关键技术类)

研究内容：聚焦混合光子集成芯片共性支撑技术，研究有机材料和 III-V 族材料及金属材料混合集成技术，实现新颖的有机与无机光电功能材料相兼容的探测器件的理论设计、材料生长机理及界面主动修饰工程。研究 Si 和 III-V 族材料及量子点材料混合集成技术，实现异质材料单片集成多波长探测器阵列的原理及多链条综合性能的理论设计、材料生长及各功能器件的制备技术。研究 Si 和 III-V 族材料及滤光微结构混合集成技术，探索亚波长结构在特定光谱探测中的高抑制比，明确多波段滤光微结构集成的波段间串扰机理。

考核指标：可重构的混合集成红外探测原型器件阵列，规模 $\geq 64\times 1$ (立体)，盲元率 $\leq 1\%$ ；量子点异质混合红外光谱芯片实现单芯片、多波长探测器件阵列，光学信号探测规模 $\geq 256\times 256$ ，工作温度 $\geq 200\text{ K}$ ，单芯片探测光谱范围覆盖 $0.9\sim 1.7\ \mu\text{m}$ ，单芯片光谱分辨率 $\leq 20\text{ nm}$ ，单芯片通道数 ≥ 100 ；实现具有 $1.20\ \mu\text{m}$ 、 $1.38\ \mu\text{m}$ 、 $1.61\ \mu\text{m}$ 和 $2.10\ \mu\text{m}$ 四波段窄带滤光微结构的探测器阵列，规模 512×4 (四波段)，响应非均匀性 $\leq 10\%$ ，抗 γ 辐照 $\geq 20\text{ krad(Si)}$ ，盲元率 $\leq 1\%$ ，峰值探测率 $\geq 1\times 10^{12}\text{ cmHz}^{1/2}/\text{W}$ ；实现典型场景的应用演示，申请发明专

利 20 项以上，发表论文 80 篇以上。

2.2 多材料体系融合集成调制和探测芯片与器件(共性关键技术类)

研究内容：聚焦多材料体系融合集成共性支撑技术，研究 Si 基 Ge 探测器阵列制备技术；研究单晶薄膜铌酸锂(LNOI)及二维原子晶体新型材料调制器制备技术，实现 LNOI 的微加工工艺，研究 LNOI 及二维原子晶体复合纳米波导的高效光耦合技术；研究多材料体系融合混合集成光模块高效耦合与封装技术，混合集成封装光模块制备过程中的在线监测技术及无损检测技术。

考核指标：锗 PIN 和 APD 探测器阵列带宽 ≥ 35 GHz，并基于该探测器实现 ≥ 50 Gb/s 的数字信号传输，实现 Si 基 Ge 探测器与 Si 基功能芯片的集成；LNOI 及二维原子晶体新型材料高精度微纳加工，制备出传输损耗 ≤ 2 dB/cm 的纳米波导；基于 LNOI 及二维原子晶体新型材料的调制器，带宽 ≥ 35 GHz，LNOI 调制器的 $V_{\pi}L \leq 10$ V·cm；有源激光器芯片与无源光波导芯片间耦合损耗 ≤ 1.5 dB，实现有源波导与无源波导的片上集成，实现无源光波导芯片与光纤间的耦合损耗 ≤ 1.0 dB；具备批量生产能力，实现批量推广应用，申请发明专利 30 项以上。

2.3 超大容量硅基多维复用与处理基础研究（基础前沿类）

研究内容：聚焦大容量、可重构光通信与光互连应用系统中的核心光电子芯片支撑技术，开展硅基多维复用与处理器件技术的研究。研究硅基多模光子学及器件新结构与新机理、硅基偏振控制及转换器件、硅基多维复用机理与器件；

研究硅基片上集成的光功率监测器阵列，并与多维复用解复用器件以及光开关阵列/可调光衰减器等进行单片集成；研究硅基多模波导与少模光纤的耦合问题；研制新一代超大容量的硅基可重构插分复用功能芯片。

考核指标：研制硅基多维可重构插分复用芯片，通道数 ≥ 96 （其中模式通道数 ≥ 3 、偏振通道数为 2），芯片中包含多维复用解复用单元器件、偏振控制及转换器件、光开关阵列、可调光衰减器阵列、光功率监测器阵列。实现吞吐量 $\geq 10\text{Tb/s}$ 的可重构硅基片上多维复用光信号处理及基于少模光纤的传输验证。实现典型场景的应用演示，申请发明专利 30 项以上。

2.4 高精度光学模数转换芯片（基础前沿类）

研究内容：聚焦高精度光学模数转换芯片的共性支撑技术，研究高速低时间抖动高信噪比的超短光脉冲源技术，包括结构与参数的优化设计、重复频率调谐技术；研究宽带光学采样及线性化技术，包括宽带微波信号光学采样技术、电光调制器参数等对光采样特性的影响、非线性失真抑制技术；研究高速高精度量化及编码技术，包括高速光采样信号和低速电量化速率匹配技术；研究高精度量化及编码技术、多通道数据的高精度还原信号恢复算法；研究光学模数转换器的集成化技术的总体架构、各部分的协同工作及优化、器件小型化及集成工艺技术。

考核指标：高速低时间抖动高信噪比的超短光脉冲源，重复频率 $\geq 4\text{GHz}$ ，脉冲宽度 $\leq 3\text{ps}$ ，时间抖动 $\leq 80\text{fs}$ ；宽带光学采样，采样速率 $\geq 4\text{GS/s}$ ，模拟带宽 $\geq 40\text{GHz}$ ，无杂散动态范围 $\geq 50\text{dB}$ ；高速高精度量化，单通道工作速率 $\geq 4\text{GS/s}$ ，通道数 ≥ 4 ，

信噪比 $\geq 40\text{dB}$ ，量化位数 $\geq 9\text{bits}$ ，有效位数 $\geq 6\text{bits}$ ；光学模数转换器的集成化，实现输入带宽 $\geq 40\text{GHz}$ 、采样速率 $\geq 4\text{GS/s}$ 、有效位数 $\geq 6\text{bits}$ 的光学模数转换器；实现典型场景的应用演示，申请发明专利 20 项以上，发表论文 80 篇以上。

2.5 微结构光纤集成器件（基础前沿类）

研究内容：聚焦基于微结构光纤的光通信器件共性支撑技术，研究基于混合集成的超宽带有源光纤及多维光纤放大技术；研究新型多芯空分复用通信光纤技术；研究超宽带多芯光纤信道分束器技术；研究新型多模复用通信光纤技术；研究微结构全光纤调制器件。

考核指标：光纤混合放大器件实现基于多材料体系的超宽带（C+L 波段、增益带宽 $\geq 150\text{nm}$ ）、增益 $\geq 25\text{dB}$ ；空分（多模、多芯）复用的全光纤集成器件，模式 ≥ 5 个，纤芯 ≥ 10 个；多芯光纤信道分束器件插入损耗 $\leq 1\text{dB}$ ，横向串扰 $\geq 50\text{dB}$ ，覆盖 C+L 波段；微结构光纤的调制器件插入损耗 $\leq 0.8\text{dB}$ ，调制电压 $\leq 5\text{V}$ 。实现典型场景的应用演示，申请发明专利 20 项以上，发表论文 80 篇以上。

2.6 低电压线性微光探测器阵列芯片（基础前沿类）

研究内容：聚焦科学探索、工业检测、新一代广播电视等领域对低光条件下视觉信息的获取和处理能力不断提高的需求，开展高性能背照式光电传感技术、暗光条件下宽动态信号处理技术、晶圆级 3D 堆叠异质芯片集成技术、大尺寸器件光刻拼接技术的研究和攻关，重点突破硅基高性能光电探测阵列器件及超高清图像传感器制造关键技术。

考核指标：实现高动态微光图像探测器件，阵列规模不小于 1024×768 ，单像素尺寸不小于 $10 \mu\text{m} \times 10 \mu\text{m}$ ，器件最

小照度不高于 5×10^{-4} Lux，单次曝光动态范围大于 120 dB，实现传感、处理和目标检测识别等芯片的晶圆级 3D 集成；实现 8K 图像传感器件，阵列有效像素不小于 $7688(H) \times 4328(V)$ ，单像素尺寸 $3.2 \mu m \times 3.2 \mu m$ ，图像获取速率不小于 60fps，支持彩色 RGB Layer。产品具备批量生产能力，实现批量推广应用。申请发明专利 50 项以上，发表论文 30 篇以上。

2.7 高动态微光图像探测器件(共性关键技术类)

研究内容：聚焦科学探索、智能视觉、智能制造等领域对视觉信息探测获取灵敏度、高速三维获取和实时处理能力越来越高的要求，开展基于三五族化合物材料的新型量子倍增技术、深度探测像素技术、高速读出电路技术、智能图像处理技术的研究，重点突破三维堆叠技术及智能化飞行时间（TOF）三维图像传感器及量子倍增微光探测器制造关键技术。

考核指标：实现量子倍增微光探测器，器件工作电压小于 3V，最低照度不高于 5×10^{-6} Lux，动态范围达到 5×10^{-6} Lux $\sim 5 \times 10^4$ Lux；实现高速智能化的二和三维兼容图像传感器，分辨率不小于 1920×1080 ，二维图像获取速度不小于 300fps，三维图像获取最高速度不小于 30fps，实现实时图像处理和目标检测识别功能的单片集成；实现典型场景的应用演示，批量推广应用，申请发明专利 30 项以上。

2.8 100G/400G 光收发模块专用驱动与放大芯片(共性关键技术类)

研究内容：聚焦 100G/400G 光收发模块中专用驱动与放大芯片技术，研究 100Gb/s、400Gb/s 多模光收发模块专用驱

动与放大芯片技术，包括 VCSEL 激光器的驱动器（Driver+CDR）芯片和光探测器的接收（TIA+CDR）阵列芯片；研究 100G/400G 单模光收发模块专用驱动与放大芯片技术，包括 DFB 激光器直调驱动（Driver+CDR）芯片和光探测器的接收（TIA+CDR）阵列芯片；研究 400Gb/s 硅光子专用驱动与放大芯片技术，包括高线性度调制器 EML 驱动（Driver+CDR）芯片，高线性度放大（TIA+CDR）PAM4 接收芯片；研究 PAM4 的高线性度驱动技术、光子域合成 PAM4 的电/光速度匹配和非线性补偿技术；研究 100Gb/s 和 200Gb/s 相干光收发模块专用驱动与接收集成电路芯片技术，包括高摆幅、高线性度调制器驱动（Driver）芯片和高灵敏度高线性度放大（TIA）芯片。

考核指标：VCSEL 激光器配套电芯片：实现 100Gb/s 单通道速率达到 28Gb/s、400Gb/s 单通道速率达到 56Gb/s（PAM4）、调制电流和偏置电流分别达到 6mA 和 6mA、单通道收发功耗 $\leq 500\text{mW}@100\text{Gb/s}$ 、单通道收发功耗 $\leq 1\text{W}@400\text{Gb/s}$ ，形成产业化示范应用；DFB 激光器配套电芯片：实现 100Gb/s 单通道速率达到 28Gb/s、400Gb/s 单通道速率达到 56Gb/s（PAM4）、调制电流和偏置电流分别达到 30mA 和 30mA、单通道收发功耗 100Gb/s $\leq 800\text{mW}$ 、单通道收发功耗 400Gb/s $\leq 1.5\text{W}$ ，形成产业化示范应用；EML 配套电芯片：实现单通道速率达到 64Gb/s（PAM4）、Driver 输入电压灵敏度 700mV（峰峰值）、Driver 输出幅度 $\geq 2\text{V}$ （峰峰值）、TIA 带内积分等效输入噪声 $\leq 3\mu\text{A}$ （均方根值）；相干光模块用 Driver 和 TIA 芯片：实现 Driver 和 TIA 单通道小信号带宽达到 30GHz，Driver 输入电压灵敏度 400mV（峰峰值）、

Driver 输出幅度 $\geq 4V$ （峰峰值），TIA 最大线性增益 $\geq 70dB$ 、增益范围 30dB；具备批量生产能力，实现批量推广应用，申请发明专利 30 项以上。

3. 集成电路与系统芯片

3.1 汽车动力总成 MCU 芯片关键技术研究（共性关键技术类）

研究内容：针对汽车应用领域对微控制器 MCU 提出的苛刻要求，研制适合汽车动力总成应用的 MCU 芯片，并进行示范应用。研究宽温度范围下的强实时、高可靠和零缺陷等关键技术，研究高性能多核 CPU 并行锁步技术、复杂控制和定时算法的增强时间处理技术、快速中断响应技术、时钟等关键信号的冗余技术，研究支持容错和纠错功能的存储技术以及汽车现场总线技术。

考核指标：研制汽车动力总成应用的 MCU 芯片；芯片工作频率大于 200 MHz，多核 CPU 支持内存精确同步；支持 2 路以上增强型时间处理单元；至少支持 250 个外部中断，快速中断响应时间不超过 3 个时钟周期；片上存储支持容错和纠错设计，擦写次数不低于 10 万次（温度 85℃）；支持 CAN 2.0A/B 总线协议等；可靠性达到 AEC-Q100 Grade 1 级；实现示范应用，发动机 ECU 单元通过道路实验。

3.2 面向移动设备高速互连的低功耗接口芯片（共性关键技术类）

研究内容：针对移动设备大量数据和高清图像的快速传输应用，研制低功耗、低成本的高速接口芯片。研究低功耗、低相位抖动的锁相环技术，研究低功耗、高信号损失补偿的自适应均衡电路设计技术，研究支持时钟展频的时钟数据恢

复技术；研究信道编码和纠错技术，研究功耗管理与优化技术；研究 USB 4.0 和 DP 2.0 协议层的实现技术，研究 PCIe、USB 2.0/3.0、DP 到 USB 4.0 的桥接实现技术。

考核指标：实现一款符合 USB 4.0 和 DP 2.0 标准的 20 Gbps PHY 原型芯片；单通道速率支持 20 Gbps，误码率 $<1E-9$ ，功耗 <100 mW/通道，支持 $\pm 0.6\%$ 以上的时钟展频，支持 >24 dB 信号损失的恢复，通过 USB 4.0 和 DP 2.0 的 PHY 相容性测试；支持 BIST 自测试功能，含 PRBS31 等通用码型和 80-bit 用户自定义码型，支持 FEC 前向纠错功能。实现一款符合 USB 4.0 和 DP 2.0 标准的接口芯片；支持 4 条链路（2 条发送，2 条接收），每条链路速率 20 Gbps，支持 USB 4.0 和 DP 2.0 标准定义的协议层，支持 USB 4.0 标准中定义的 PCIe、USB 2.0/3.0 和 DP 到 USB 4.0 的桥接实现；通过 USB 4.0 和 DP 2.0 标准中协议层的相容性测试。完成通过 USB 4.0 端口实现高速数据和高清图像的传送和接收的应用演示。项目期内实现出货量 1000 万片。

3.3 多协议融合的窄带物联网芯片（共性关键技术类）

研究内容：基于多模全频段宽带收发机和软件无线电架构，研制支持 NB-IoT、GNSS 及近场通讯协议的多通信协议的超低功耗窄带物联网 SoC 芯片。研究多模协议灵活切换和智能连接组合技术，研究多模融合的宽带低噪射频接收前端设计，研究多模融合的单芯片集成射频 CMOS 功率放大器以及系统级抗干扰技术，研究超低功耗系统级以及关键模块设计，研究高性能低功耗多模自适应调度算法，研究多模通讯协议下的软件无线电的设计，基于该芯片的物联网终端平台进行示范应用并实现商用。

考核指标：研制一款 NB-IoT、GNSS 及近场通讯协议的窄带物联网 SoC 芯片；单芯片集成宽带射频收发机、多模数字基带、应用处理器、电源管理模块和 CMOS 功率放大器；支持 NB-IoT、GNSS 及至少其他一种近场通讯协议；NB-IoT 与 GNSS 模式要支持硬件复用与软件切换；工作电压范围 1.8 V ~ 4.2 V，频段范围大于 700 MHz ~ 2.4 GHz；NB-IoT 模式下单次灵敏度达到 -117 dBm @ 180 kHz，PSM 功耗 2 μ W，接收机功耗 65 mW，最大发射功率不低于 23 dBm；GNSS 模式冷启动灵敏度达到 -146 dBm，热启动灵敏度达到 -155 dBm，追踪与重捕灵敏度达到 -158 dBm，单点定位精度达到 3.5m CEP，热启动时间 1 秒，最低功耗 10 mW；通过运营商 NB-IoT 测试认证，芯片产品销售 100 万片以上。

3.4 超低功耗体域网智能节点芯片（基础前沿类）

研究内容：面向智慧城市的高精度、高能效、高可靠性智慧医疗服务应用，研制基于体域网的超低功耗智能节点芯片。研究适合柔性可穿戴的高精度、多参数生理信号采集模拟前端电路技术，研究适用于生理信号的超低功耗人工智能算法和电路技术，研究适用于人体的能量管理技术，研究超低功耗无线数据传输技术，研究传感器和多种电路的高效系统集成技术；进行生命体征监测的应用并完成人群数据采集。

考核指标：实现基于体域网的超低功耗智能节点芯片；支持 8 个以上通道，实现至少 3 种关键生理信号（如心电、脑电、人体阻抗等）的精确采集，脑电检测噪声 $\leq 1 \mu\text{Vrms}$ @ 0.5-100 Hz 带宽，输入阻抗 $\geq 1 \text{ G}\Omega$ ，共模抑制比 $\geq 70 \text{ dB}$ ，输入信号范围最大 20 mV 且信号失真 $\leq 0.5\%$ ，人体阻抗灵敏度

$\leq 10 \text{ m}\Omega$ ；人工智能算法分类精度不低于 90%，工作功耗小于 $500 \text{ }\mu\text{W}$ ；无线通信数据率 $\geq 200 \text{ kbps}$ ，传输距离不低于 5 米。基于该芯片的整机功耗小于 5 mW ，连续工作时间大于 24 小时，进行生命体征监测的示范应用并完成超过 1 万人次的数据采集。

3.5 电力线宽带通信模拟前端芯片（共性关键技术类）

研究内容：面向电力线千兆比特通信应用，研制千兆比特电力线通信的模拟基带及模拟前端单片集成芯片；研究高可靠多模电力线宽带有线通信模拟前端芯片技术，研究可重构电力线模拟前端的传输物理层电路架构、电力线阻抗特性和可编程输出阻抗匹配技术、基于高速模数转换器 and 高速数模转换器的集成化模拟基带技术；完成面向电力线宽带数据传输的互连原型芯片应用演示。

考核指标：研制一款电力线宽带通信模拟前端芯片；接收通道考核指标：通路带宽 $\geq 90 \text{ MHz}$ ，输入信号动态范围不少于 $-30\sim 5 \text{ dBm}$ ，最大增益不小于 40 dB 、增益可调、增益误差 $\leq \pm 1 \text{ dB}$ ，噪声系数 $\leq 20 \text{ dB}$ ，ADC 量化位数不少于 10 位、采样率不低于 200 MHz ；发射通道考核指标：通路带宽 $\geq 90 \text{ MHz}$ ，通路增益可调、可调增益误差 $\leq \pm 1 \text{ dB}$ ，DAC 量化位数不少于 10 位、采样率不低于 500 MHz ；完成面向电力线宽带数据传输的互连原型芯片应用演示，传输距离不少于 1 km 。

3.6 数字密集型射频/毫米波集成电路技术（基础前沿类）

研究内容：面向无人机、智能机器人等应用对微型化多感知融合部件的需求，研制数字密集型的通信/雷达/导航融

合射频毫米波芯片。研究宽带数字化发射机的系统架构，研究低杂散全数字锁相环型频率合成技术，研究射频毫米波电路的在片自校准技术，研究高效率高输出功率的数字功率放大器（DPA）技术，研究数字化相控阵架构及电路设计技术，研究高度灵活的可重构技术。

考核指标：采用 28 nm 以下工艺研制一款面积紧凑、便于 SoC 集成的通信/雷达/导航融合射频毫米波芯片；通信模式最大信号带宽不小于 80 MHz，发射机最高输出功率不低于 20 dBm，接收机噪声系数不高于 3 dB，支持 2 发 2 收的 MIMO，雷达模式探测精度优于 10 厘米，探测距离不低于 200 米，导航模式至少支持 GPS 和北斗导航系统；基于该芯片完成通信/雷达/导航融合样机及其演示系统。

3.7 硅基超高速毫米波通信收发机芯片（基础前沿类）

研究内容：面向基站间远距离大容量无线数据传输应用，研制硅基超高速毫米波通信收发机芯片；研究超高速毫米波通信收发机的系统架构，研究支持高阶调制的低相位噪声毫米波频率综合器技术，研究高输出功率的毫米波功率合成技术，研究宽带毫米波集成电路设计技术，研究低噪声接收机技术，研究毫米波芯片的封装技术及与天线的系统集成技术。

考核指标：研制一款应用于基站间远距离大容量无线数据传输的超高速毫米波收发机芯片；收发机载波频率高于 100 GHz，接收机噪声系数优于 10 dB，发射机输出功率高于 10 dBm，支持 QPSK、16 QAM 等复杂调制方式，峰值数据率不低于 48 Gbps，芯片功耗不高于 600 mW；并基于该芯片完成基站间大容量无线数据传输样机及其演示系统，通信距离不低于 1000 米，峰值数据率不低于 10 Gbps。

3.8 先进 DRAM 存内计算电路和架构（基础前沿类）

研究内容：面向数据中心、自动驾驶等高性能 AI 计算需求，研制基于 DRAM 存内计算的 AI 加速芯片。研究基于 DRAM 工艺的轻量级计算电路，计算和存储紧耦合架构，DRAM 存储数据布局技术，DRAM 与主处理器协同计算技术以及能耗和温度控制技术。

考核指标：研制一款基于 DRAM 存内计算的 AI 加速芯片；存储容量达到 8 Gb，支持存内乘加、移位和位运算，实现 CNN 等典型人工智能算法的 DRAM 片内加速。与传统架构 GPU 和 TPU 相比，CNN 等典型人工智能算法的计算能效提高 2 倍以上。

4. 集成电路设计方法学

4.1 EDA 创新技术研究（基础前沿类）

研究内容：研究创新型 EDA 技术，包括：（1）研究基于 AI 的 EDA 技术，包括高层次综合技术、时序分析和优化技术、布局布线技术、模拟电路和版图综合技术、模拟电路分析优化技术，模拟电路层次建模技术等；（2）研究面向开源电路设计的 EDA 技术，包括开源硬件质量保证，开源硬件协议等；（3）研究超低功耗设计技术，包括超低电压单元库建模技术、超低压时序分析和优化技术、时钟树综合技术和超低电压片上存储器设计技术等；（4）研究面向先进工艺（7/5nm）的高可靠性模型提取技术、高性能良率分析技术等。

考核指标：（1）基于 AI 的 EDA 技术性能较传统的 EDA 技术效率提升 10% 以上；（2）支持低电压为 $0.5 \times VDD$ 的超低功耗设计；（3）高性能良率分析效率较传统良率分析方案

提升 5 倍以上；(4) 新增培养硕士、博士研究生 500 人以上；
(5) 申请专利 20 项以上，发表高水平论文 50 篇以上。

5. 器件与工艺技术

5.1 非易失性存算一体化器件与电路（基础前沿类）

研究内容：面向边缘计算的低功耗智能芯片需求，研制基于忆阻器的非易失存算一体化器件与电路。研究器件的微观物理机制、材料筛选、关键工艺与集成方法；研究器件的可微缩性、性能涨落及调控方法；研究存算一体电路体系、动态重构方法和有序计算架构；研究存算一体化电路与 CMOS 混合集成的新型计算单元，探索其在方程求解、深度神经网络学习加速等领域的应用。

考核指标：阐明存算一体化忆阻器件的物理工作机制，器件尺寸理论上可微缩至 3 nm 以下；研制的存算一体化器件与 CMOS 技术兼容，特征尺寸 ≤ 100 nm，存算速度 ≤ 20 ns，功耗 ≤ 0.1 pJ，存算窗口 ≥ 10 倍；存算一体器件与电路可实现非易失二值与多值逻辑、算术运算和矩阵运算等功能；研制出 1 Mb 新型计算单元，可支持数字计算与模拟计算两种工作模式，在方程求解、深度神经网络学习加速方面实现验证。